

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-307145

⑮ Int.Cl.<sup>5</sup>

G 06 F 12/10  
9/46

識別記号

3 1 3 J  
3 5 0 Z

庁内整理番号

7010-5B  
8945-5B  
8945-5B

⑭ 公開 平成2年(1990)12月20日

審査請求 未請求 請求項の数 3 (全6頁)

⑬ 発明の名称 仮想計算機システム

⑰ 特 願 平1-128087

⑱ 出 願 平1(1989)5月22日

⑲ 発 明 者 塩 川 鎮 雄 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 発 明 者 小 橋 喜 嗣 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑲ 代 理 人 弁理士 森 田 寛

明 細 書

1. 発明の名称

仮想計算機システム

2. 特許請求の範囲

- (1) 複数OSを主メモリ上に搭載し、各OSに識別子を付け、CPU内に保持するアドレス変換バッファ内の各エントリに該識別子を保持してアドレス変換を行う方式をとる仮想計算機システムにおいて、

アドレス変換バッファの内容を一時的に退避しておく機構を有すると共に、

OS切り替え時にその前まで走行していたOS走行により登録したエントリを退避メモリに退避する手段と、

再度該OSにディスパッチされる時に退避していた該OSのアドレス変換情報を退避メモリからアドレス変換バッファに移す手段と

を有し、

アドレス変換を高速に処理する

ことを特徴とする仮想計算機システム。

- (2) 請求項第(1)項記載の仮想計算機システムにおいて、

特定の優先処理をするOSを予め定め、該OSのエントリのみ前記退避メモリに選択して退避し、回復する手段

を有する

ことを特徴とする仮想計算機システム。

- (3) 請求項第(1)項または第(2)項記載の仮想計算機システムにおいて、

アドレス変換情報の退避の契機を、

アドレス変換バッファの置き換えアルゴリズムに基づき、他OS走行により優先OSのエントリが追い出される際に該アドレス情報をアドレス変換バッファから退避メモリに格納する手段と

再度該優先OSにディスパッチされる際に該優先OSのエントリを選択し、まとめてアドレス変換バッファに移す手段と

を有する  
ことを特徴とする仮想計算機システム。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

本発明は、仮想計算機システム、特に、OSを切り替えることによりアドレス変換バッファ上の情報が追い出されることによる性能低下をおさえるための手段を有する仮想計算機システムに関するものである。

#### 〔従来の技術〕

計算機システムにおいては、プログラムは論理アドレスで記述され、実マシン上で、プログラムを走行させる場合、主メモリに置かれたプログラムやデータをアクセスするにあたり、論理アドレスから実アドレスにアドレス変換して、主メモリ上の実アドレスでアクセスする必要がある。計算機では、通常、その都度アドレス変換を行っているのでは、性能低下が大きいので、論理アドレス

#### 〔発明が解決しようとする課題〕

しかし、この改善方式においても、アドレス変換バッファの容量が有限であるため、1つのOS走行時に蓄えておいたアドレス変換バッファ上の情報は、OSが入れ替わり、他OSが走行することにより、アドレス変換バッファから追い出されてしまう。そのため、以前走行していたOSが再び走行する時には、アドレス変換バッファには、以前登録していた情報は既になく、再度アドレス変換プロセスを行うことになる。アドレス変換バッファから追い出されてしまう確率は、仮想計算機の多重度（走行するOSの数）を多くすればする程、高くなり、1つのOSから見た性能低下が大きくなってしまふ。

上記問題を解決するためには、①アドレス変換バッファの容量を増やす方法、②該アドレス変換バッファの全エントリを平均的に効率よく使う方法、③OSに優先順位をつけ、優先順位の高いOSのエントリの追い出しを行わない、または、追

### 特開平2-307145 (2)

と変換プロセスで得た実アドレス等の情報とをCPU内バッファに保持し、該アドレス変換バッファに必要情報が存在する場合には、その情報を使用し、該アドレス変換バッファに存在しない時のみアドレス変換プロセスを行い対応する実アドレスを得る方法をとる。

しかし、このままの構成で、仮想計算機として使用する場合には、OSを切り替える毎にアドレス変換バッファ上の全情報をクリアして、新しくディスパッチされたOSのアドレス変換バッファとして供する必要がある。この方式では、OS切り替えの都度登録したエントリを消去することになり性能低下が大きい。

これを改善する方法として、アドレス変換バッファの各エントリにOS識別子を登録する方式が考案されている。この場合、複数OSで同一論理アドレスを使用していてもOS識別子で識別がつくため論理矛盾を起こすことがなく、アドレス変換バッファのクリアを行う必要がなく、性能低下を抑えることができる。

い出し優先順位を下げ、アドレス変換バッファ上に少しでも長く登録されているアルゴリズムを適用する、④優先OSのエントリのみ、CPU内中高速メモリに一時的に退避し、該OSが再び走行する場合に、該OSディスパッチ時に、該退避メモリからアドレス変換バッファに移し替える方法とが考えられる。

①の方法は、ハードウェア搭載時の搭載限度、最適な構成等により決められるものであり、通常は、限度一杯搭載されるものである。②の方法は、例えば256エントリとか512エントリを、各エントリ平均的に使い、最も使用効率をよくするための方法に関するものであり、アドレス変換バッファを論理アドレスのどのビットを使って索引するか、アドレスをハッシュ回路を通して索引するか等の各種の方法が実現されている。しかし、この方法も、例えば、ハッシュ回路に、OS識別番号を入力させたりするため、特定のOSを高速にするのではなく、全OSを平均的にある程度高速にするという方法であり、アドレス変換バッファの

## 特開平2-307145 (3)

容量に限度がある場合、高速化の程度には限度がある。③、④の方式は、この限度の範囲でさらに、特定OSのみ高速に処理する方法を追求したものである。即ち仮想計算機においては、各種の使い方があり、余り高速化性を必要としないデバッグとして使う場合、古いOSと新OSとの移行に使用する場合、OSのオンラインサービスを行いながら別OSでバッチ処理を行う場合、または、別OSでは、新プログラムのデバッグを行う場合などが考えられる。

これらの場合、特定OSのみ高速に処理し、デバッグ等に使用しているOSは、多少性能を犠牲にしてもよいという使い方が要望される場合が多い。

この要望に応えるためには、③、④の方法で高速処理を実現する必要がある。

## 〔課題を解決するための手段〕

本発明は前記④の方法による高速化を図った仮想計算機システムを提供している。即ち、退避メモリを用意しておくと共に特定の優先OS走行に

対して高速処理を行わせるようにしている。

## 〔作用〕

前記実現手段によれば、ディスパッチ時の移し替えに要する時間のロスがあるものの、優先OS走行時の性能は、アドレス変換の性能に関しては、ベアマシン時の性能と等しい性能が得られるメリットがある。なお、移し替え時の時間のロスも、OS切り替え時に必要な処理と並列に処理することにより、時間のロスとしての影響を最小限にすることができる。

## 〔実施例〕

以下、本発明の一実施例を図面により詳細に説明する。

第1図は、本発明の基本概念を示す。第2図は、退避メモリを使用した場合の概要構成図である。第3図は、第2図で示した適用例の動作タイムチャートを示したものである。第4図は、本発明のアドレス情報格納回路の一実施例を示したもので

ある。第5図は、従来のアドレス変換バッファの構成を示す。以下、図に従って説明する。

先ず第5図において、10、20はアドレス変換バッファのアドレス変換情報保持メモリ、30はアドレスデコード、40はアドレス変換バッファのメモリ10、20の内の該当するエントリに関する置き換え情報を保持するメモリである。11、21はアドレス変換バッファのメモリ10、20への格納情報保持レジスタ、15、25はアドレス変換バッファのメモリ10、20から読み出したアドレス変換情報の出力情報保持レジスタである。アドレス変換バッファアクセスアドレスをデコード30でデコードし、アドレス変換バッファのメモリ10、20から各々該当するエントリを読み出す。該当するエントリには各々OSの識別子(12、22)と該当するアドレス情報(16、26)とが保持されている。レジスタ15、25に読み出された該当エントリは、現在動作中のOSの識別子を保持するレジスタ29の出力とアドレス変換バッファから読み出された情報の中のOS識別子

を保持するレジスタ(13、23)とが比較器14、24で比較され、一致信号が選択回路18、28に送られ、一致した方のアドレス情報がレジスタ19に読み出される。レジスタ19の出力は、信号線31から入力される論理アドレスに対応する実アドレスである。この従来例は、従来マシンを仮想計算機として使用することを前提にOS識別子を各エントリに保持する改良を施した例を示している。しかし、この例で示すように、従来例では、特定のOSを優先する制御にはなっていない。アドレス変換バッファから見ると、全OSが対等に扱われる構成である。

第1図は、第5図を前提に、本発明の概念を示したものであり、1は、第5図に示すアドレス変換バッファ系回路全般を指している。100は退避メモリであり、本発明のための回路であり、回路全般1からの情報を一時的に退避し、必要な契機に再び回路全般1に戻してやることにより、アドレス変換による性能低下を(特に優先OSに限り)、防止しようとするものである。

## 特開平2-307145 (4)

第2図は退避メモリを使用した場合の概要構成図を示す。ここで示す仮想計算機の例は、OSを切り替える毎にそれまで走行していたOSの情報が設定されているレジスタの内容を、OS切り替えの都度、主メモリに吐き出して情報の退避を行い、新しく走るOSまたは仮想計算機モニタが使用する情報を特定域から実レジスタにロードすることにより、新OS走行環境を整える方式をとっているものとする。5は汎用レジスタ等のプログラムが使用するレジスタ、6は制御レジスタ等のマシンの状態を設定するレジスタ、7は主メモリ、51、52はレジスタ5を退避格納するためのレジスタ退避域であり、51はゲストOS用退避域、52はホストOS用退避域である。第2図(a)は、ゲストの走行が、割込み等を契機に終了し、ホストの走行に移る場合の動作を示している。第2図(b)は、ホストからゲストに制御移行する場合の動作を示している。第2図(c)では、レジスタの内容の退避・回復と並行して、回路全般1のアドレス変換バッファの内容が退避メモリ100に退避格納

され、第2図(d)では、レジスタの内容の退避・格納と並行して、退避メモリ100から回路全般1のアドレス変換バッファにアドレス情報を回復する。この動作は、第3図で示すように、ゲストからホストへの移行時もホストからゲストへの移行時もレジスタ退避回復と並行動作が可能であるため、アドレス変換情報の退避メモリ100への退避回復が、実行上はそれ自身が性能低下に影響する部分は少なく、例えば、レジスタの退避・回復よりアドレス変換情報の退避または回復(レジスタは退避と回復が必要、アドレス情報は退避のみ、または回復のみ)時間が長いかかったとしても、その時間の多くが、ホストとゲストとの切り替えの時に必要な処理と並行動作が可能であり、その影響は小さい。

第4図は、本発明のアドレス情報格納回路に関する一実施例である。ここで100番台で示す機能が新たに付加した機能であり、それを中心に説明する。101は、優先OS走行に関係する切り替えか否かを判断して、関係する切り替えであれば、

アドレス変換バッファの内容を退避メモリに移す動作を起動し、再び優先OSが割当てられ走行する契機であれば、退避メモリ部104からのロードを指示する制御ブロックである。102は制御ブロック101の指示によりアドレス変換バッファからの読み出しデータを信号線9に出力するか退避メモリ100に出力するかを選択する回路である。103はアドレス変換バッファからのアドレス情報を保持するレジスタ、104は該情報を保持する退避メモリ部、105は退避メモリ部104からのアドレス情報を保持するレジスタ、106は制御ブロック101からの指示によりアドレス変換バッファのメモリ10、20内のエントリから1エントリずつ読み出し、または書き込みエントリを指示する制御ブロックである。108はエントリ番号指示レジスタ107からのエントリ指定情報のデコード、110は退避メモリ部104からの吐き出し情報をアドレス変換バッファのメモリ10、20に格納するに当り、従来の入力8との選択を、制御ブロック101からの指示により選択する選択回路である。

この図で示すように、制御ブロック101が優先OSであることを認識した時点でアドレス変換バッファのメモリ10、20の内容を退避メモリ部104に退避したり、当該退避メモリ部104からアドレス変換バッファのメモリ10、20に情報を戻したりする回路構成を示すものである。

上記説明で、アドレス変換バッファのメモリ10、20は高速のメモリで構成され、退避メモリ部104は、アドレス変換バッファのメモリ10、20に使用されるメモリより高集積なメモリを使い、多少メモリスピードがアドレス変換バッファのメモリ10、20に比べ遅くても実装効率をあげて実現できる。

本実施例では、優先OS走行の場合のみ退避メモリ部104への退避回復を行う例を述べたが退避メモリ部104が大容量になった場合、複数OSに対して、または、全OSに対して退避・回復を行うことができる。この場合も、本発明で述べた範囲から逸脱するものではない。

また、特許請求の範囲で述べた、優先OSの割

## 特開平2-307145 (5)

当てられたエントリを該OS走行中に、その都度1エントリずつ退避メモリ部104に退避する方式も実現でき、退避メモリ部104がアドレス変換バッファのメモリ10、20と同等の性能の場合、性能低下を最小限に抑えた形で実現できる。

## (発明の効果)

以上説明したように、本発明によれば、仮想計算機において、優先OSを予め定め、優先OSが切り替えられる時、アドレス変換バッファ上の情報を退避することができる。例えば、OSが切り替えられる間隔を10ミリ秒とし、アドレス変換バッファの入れ替えに500エントリを退避する時間が10マイクロ秒であったとしても、そのオーバーヘッドは0.01%となり、性能低下分は無視できる。

## 4. 図面の簡単な説明

第1図は本発明の基本概念を説明する図である。

第2図は退避メモリを使用した場合の概要構成

図である。

第3図は第2図で示した適用例の動作タイムチャートを示したものである。

第4図は本発明のアドレス情報格納回路の一実施例を示したものである。

第5図は従来のアドレス変換バッファの構成を示したものである。

1…アドレス変換バッファ系回路全般、

5…汎用レジスタ等、

6…制御レジスタ等、

7…主メモリ、

10、20…アドレス変換バッファのアドレス変換情報保持メモリ、

11、21…格納情報保持レジスタ、

12、22、13、23…OS識別子(またはそれを保持するレジスタ)、

14、24…比較器、

15、25…出力情報保持レジスタ、

16、26、17、27…アドレス情報(またはその保持部)、

18、28…選択回路、

19…実アドレス保持レジスタ、

29…現在走行中のOSの識別子保持レジスタ、

30…アドレスデコード、

40…アドレス変換情報保持メモリ、

51、52…レジスタ退避域、

100…退避メモリ、

101…制御ブロック、

102、110…選択回路、

103、105…アドレス情報保持レジスタ、

104…退避メモリ部、

106…制御ブロック、

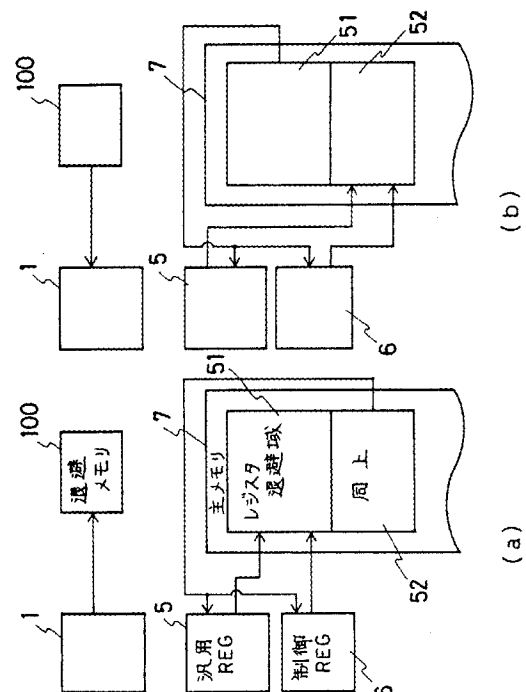
107…エントリ番号指示レジスタ、

108…デコード、

109…+1インクリメント。

特許出願人 日本電信電話株式会社

代理人 弁理士 森田 寛



第2図

特開平2-307145 (6)

